

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-177409

(P 2 0 0 1 - 1 7 7 4 0 9 A)

(43)公開日 平成13年6月29日(2001.6.29)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H03M 1/66		H03M 1/66	C 5J022
3/02		3/02	5J064

審査請求 未請求 請求項の数6 OL (全13頁)

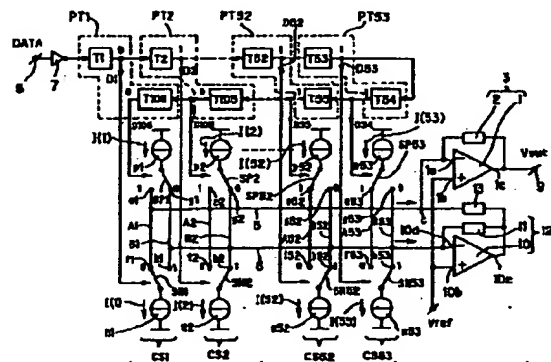
(21)出願番号	特願平11-357449	(71)出願人	000112451 日本フィリップス株式会社 東京都港区港南2-13-37 フィリップスビル
(22)出願日	平成11年12月16日(1999.12.16)	(72)発明者	岸田 雅也 東京都港区港南2丁目13番37号 フィリップスビル 日本フィリップス株式会社内
		(74)代理人	100087789 弁理士 津軽 進
		Fターム(参考)	5J022 AB06 BA06 CB06 CF02 CF05 CF07 5J064 AA04 BC07 BC08 BC24 BD01

(54)【発明の名称】DA変換器

(57)【要約】

【課題】コストの削減及び小型化が図られたDA変換器を提供する。

【解決手段】各遅延素子PT1~PT53に対応して、電流源のペアCS1~CS53を備える。



## 【特許請求の範囲】

【請求項1】 シリアルに入力されたデジタルデータを  
 パラレルに出力する複数の遅延素子と、前記複数の遅延  
 素子のうち2つの遅延素子に対応して設けられた2つの  
 電流源と、前記2つの電流源それぞれが接続される入力  
 部を2つ有し、これら2つの入力部に入力された電流か  
 らアナログデータを生成するアナログデータ生成手段  
 と、前記2つの遅延素子それぞれから出力された2つの  
 データに基づいて、前記2つの電流源が前記2つの入力  
 部のうちの互いに異なる入力部に接続される第1のモード  
 と、前記2つの電流源が互いに同じ入力部に接続され  
 る第2のモードとのうちのいずれかのモードに切り換え  
 る切替手段とを備えたことを特徴とするDA変換器。

【請求項2】 シリアルに入力されたデジタルデータを  
 パラレルに出力する複数の遅延素子と、前記複数の遅延  
 素子のうちの2つの遅延素子に対応して設けられた2つ  
 の電流源と、前記2つの電流源それぞれが接続される入  
 力部を2つ有し、これら2つの入力部に入力された電流  
 からアナログデータを生成するアナログデータ生成手段  
 と、前記2つの遅延素子それぞれから出力された2つの  
 データに基づいて、前記2つの電流源が前記2つの入力  
 部のうちの互いに異なる入力部に接続される第3のモード  
 と、前記2つの電流源が前記2つの入力部から切断され  
 る第4のモードとのうちのいずれかのモードに切り換え  
 る切替手段とを備えたことを特徴とするDA変換器。

【請求項3】 前記切替手段が、前記2つの遅延素子の  
 うちの一方の遅延素子から出力された1つのデータに基  
 づいて、前記2つの電流源のうちの一方の電流源と前記  
 2つの入力部それぞれとの接続を切り換える第1の切換  
 部と、前記2つの遅延素子のうちの他方の遅延素子から  
 出力された1つのデータに基づいて、前記2つの電流源  
 のうちの他方の電流源と前記2つの入力部それぞれとの  
 接続を切り換える第2の切換部とを備えたことを特徴と  
 する請求項1に記載のDA変換器。

【請求項4】 前記切替手段が、前記2つの遅延素子そ  
 れぞれから出力された2つのデータに基づいて、前記2  
 つの電流源のうちの一方の電流源と前記2つの入力部と  
 の接続及び切断を切り換える第3の切換部と、前記2つ  
 のデータに基づいて、前記2つの電流源のうちの他方の  
 電流源と前記2つの入力部との接続及び切断を切り換え  
 る第4の切換部とを備えたことを特徴とする請求項2に  
 記載のDA変換器。

【請求項5】 前記2つの電流源が、互いに同じ大きさ  
 の電流を供給することを特徴とする請求項1又は2に記載  
 のDA変換器。

【請求項6】 前記アナログデータ生成手段が、前記2  
 つの入力部のうちの一方の入力部に入力された電流を、  
 反対符号の電流に変換する符号変換手段、及び前記2つ  
 の入力部のうちの他方の入力部に入力された電流と、前  
 記符号変換手段により符号が変換された電流との和を電

圧に変換する電流電圧変換手段を備えたことを特徴とす  
 る請求項1又は2に記載のDA変換器。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電流源を備えたD  
 A変換器に関する。

【0002】

【従来の技術】 図6は、従来より用いられているDA変  
 換器の一例である、106タップのFIRフィルタを有  
 するDA変換器を示す図である。

【0003】 このDA変換器はデジタル入力端子8を備  
 えている。このデジタル入力端子8は、反転アンプ7を  
 経由して、直列に接続された106個の遅延素子T1～  
 T106に接続されている。遅延素子T1には、デジタ  
 ル入力端子8から反転アンプ7を経由して‘0’及び  
 ‘1’のいずれかの値で表される1ビットのデータがシ  
 リアルに順次入力され、遅延素子T1に入力されたデー  
 タは、最終段の遅延素子T106に向けて順次伝送され  
 る。このとき、106個の遅延素子T1～T106は、  
 遅延素子T1にシリアルに入力されたデータを、次段の  
 遅延素子に出力するだけでなく、パラレルの時系列デー  
 タD1～D106として出力する。このデータD1～D  
 106は、後述するスイッチSP1、SN1；～；SP  
 106、SN106に向けて伝送される。また、このD  
 A変換器は、各遅延素子T1～T106に対応して、2  
 つの電流源p1及びn1等からなる電流源のペアCS1  
 ～CS106を備えている。電流源のペアCS1～CS  
 106は、それぞれ、2つの電流源p1、n1；～；p  
 106、n106から構成されている。これら電流源  
 は、遅延素子T1～T106それぞれから出力されたデ  
 ータD1～D106を重み付けするための量（重付量）  
 に対応した電流を発生する。これら各電流源p1、n  
 1；～；p106、n106は、図6において、各電流  
 源の横に示された矢印の方向を正とした電流I（1）～  
 I（106）を発生する。

【0004】 図7は、各電流源が発生する電流を表すグ  
 ラフである。

【0005】 このグラフの横軸は、各電流源p1、n  
 1；～；p106、n106を表し、縦軸は、各電流源  
 が生成する電流である。

【0006】 電流源のペアCS1～CS106それぞれ  
 を構成する2つの電流源は、互いに大きさの等しい電流  
 を発生する。例えば、電流源のペアCS1について考え  
 ると、2つの電流源p1及びn1は、互いに等しい電流  
 I（1）を発生する（図6、図7参照）。その他の電流  
 源のペアCS2、…、CS105、CS106について  
 も、2つの電流源p2、n2；…；p105、n10  
 5；p106、n106は、互いに等しい電流I  
 （2）、…、I（105）、I（106）を発生する。

【0007】 尚、これら電流I（1）～I（106）

は、 $I(n) = I(107-n)$  の関係を満たしている (ただし、 $1 \leq n \leq 53$   $n$  は整数)。例えば、 $n=1$  の場合を考えると、 $I(1) = I(106)$  である。従って、図7に示されている各電流  $I(1) \sim I(106)$  の大きさは、電流源のペア  $CS53$  及び  $CS54$  が生成する電流を中心として左右対称になっている。

【0008】図6に戻って説明を続ける。

【0009】このDA変換器は、 $I/V$ 変換器3及びダンパバッファ4を備えている。この $I/V$ 変換器3はアンプ1及び抵抗2を備えており、この抵抗2の両端は、アンプ1の入力端子1a及び出力端子1cに接続されている。一方、ダンパバッファ4は、2つの入力端子4a及び4bのうちの一方の入力端子4aが出力端子4cに接続され、もう一方の入力端子4bが $I/V$ 変換器3のアンプ1の入力端子1bに接続されている。

【0010】さらに、このDA変換器は、各電流源のペア  $CS1 \sim CS106$  に対応して、2本の接続線  $A1, B1; \sim; A106, B106$  が備えられている。 $I/V$ 変換器3のアンプ1の入力端子1aは、電流路5を經由して、2本の接続線  $A1, B1; \sim; A106, B106$  のうちの一方の接続線  $A1 \sim A106$  に接続されており、一方、ダンパバッファ4の入力端子4aは、電流路6を經由して、もう一方の接続線  $B1 \sim B106$  に接続されている。

【0011】各電流源のペア  $CS1 \sim CS106$  に対応して備えられている2つのスイッチ  $SP1, SN1; \sim; SP106, SN106$  は、各遅延素子  $T1 \sim T106$  それぞれから出力されるデータ  $D1 \sim D106$  に応じて、各電流源  $p1, n1; \sim; p106, n106$  それぞれと、2本の接続線  $A1, B1; \sim; A106, B106$  それぞれとの接続を切り換えている。この接続の切換えにより、各電流源は、 $I/V$ 変換回路3又はダンパバッファ4に接続される。 $I/V$ 変換回路3及びダンパバッファ4のうち、ダンパバッファ4は、デジタルデータをアナログデータに変換する作用には寄与せず、デジタルデータをアナログデータに変換する作用に寄与するのは、 $I/V$ 変換回路3のみである。従って、 $I/V$ 変換回路3に接続された電流源が発生する電流のみが、この $I/V$ 変換回路3により電圧に変換され、アナログ出力端子9からアナログ信号が出力される。

【0012】

【発明が解決しようとする課題】上記のDA変換器は、106個の遅延素子  $T1 \sim T106$  それぞれに対応して、電流源のペア  $CS1 \sim CS106$  を備える必要がある。つまり、106個の遅延素子  $T1 \sim T106$  に対して、106個の電流源  $p1 \sim p106$  と、106個の電流源  $n1 \sim n106$  とを備える必要があり、コスト高になるという問題や、DA変換器が大型化してしまうという問題がある。

【0013】本発明は、上記の事情に鑑み、コストの削

減及び小型化が図られたDA変換器を提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成する本発明の第1のDA変換器は、シリアルに入力されたデジタルデータをパラレルに出力する複数の遅延素子と、上記複数の遅延素子のうち2つの遅延素子に対応して設けられた2つの電流源と、上記2つの電流源それぞれが接続される入力部を2つ有し、これら2つの入力部に入力された電流からアナログデータを生成するアナログデータ生成手段と、上記2つの遅延素子それぞれから出力された2つのデータに基づいて、上記2つの電流源が上記2つの入力部のうちの互いに異なる入力部に接続される第1のモードと、上記2つの電流源が互いに同じ入力部に接続される第2のモードとのうちのいずれかのモードに切り換える切換手段とを備えたことを特徴とする。

【0015】本発明の第1のDA変換器では、2つの電流源が2つの遅延素子に対応して設けられており、切換手段が、上記2つの電流源とアナログデータ生成手段の入力部それぞれとの接続を、上記2つの遅延素子それぞれから出力された2つのデータに応じて切り換えている。従って、本発明の第1のDA変換器は、2つの電流源が1つの遅延素子に対応して設けられたDA変換器と比較して、電流源の数を減らすことができ、コストの削減及び小型化が図られる。

【0016】ここで、本発明の第1のDA変換器は、上記切換手段が、上記2つの遅延素子のうちの一方の遅延素子から出力された1つのデータに基づいて、上記2つの電流源のうちの一方の電流源と上記2つの入力部それぞれとの接続を切り換える第1の切換部と、上記2つの遅延素子のうちの他方の遅延素子から出力された1つのデータに基づいて、上記2つの電流源のうちの他方の電流源と上記2つの入力部それぞれとの接続を切り換える第2の切換部とを備えたことが好ましい。

【0017】第1及び第2の切換部を備えることにより、2つの遅延素子それぞれから出力された2つのデータに基づいて、上記2つの電流源それぞれと2つの入力部それぞれとの接続を切り換えることができる。

【0018】また、上記目的を達成する本発明の第2のDA変換器は、シリアルに入力されたデジタルデータをパラレルに出力する複数の遅延素子と、上記複数の遅延素子のうちの2つの遅延素子に対応して設けられた2つの電流源と、上記2つの電流源それぞれが接続される入力部を2つ有し、これら2つの入力部に入力された電流からアナログデータを生成するアナログデータ生成手段と、上記2つの遅延素子それぞれから出力された2つのデータに基づいて、上記2つの電流源が上記2つの入力部のうちの互いに異なる入力部に接続される第3のモードと、上記2つの電流源が上記2つの入力部から切断される第4のモードとのうちのいずれかのモードに切り換

える切換手段とを備えたことを特徴とする。

【0019】本発明の第2のDA変換器では、2つの電流源が2つの遅延素子に対応して設けられており、切換手段が、2つの電流源とアナログデータ生成手段の入力部との接続及び切断を、2つの遅延素子それぞれから出力された2つのデータに応じて切り換えている。従って、本発明の第2のDA変換器は、2つの電流源が1つの遅延素子に対応して設けられたDA変換器と比較して、電流源の数を減らすことができ、コストの削減及び小型化が図られる。

【0020】ここで、本発明の第2のDA変換器は、上記切換手段が、上記2つの遅延素子それぞれから出力された2つのデータに基づいて、上記2つの電流源のうちの一方の電流源と上記2つの入力部との接続及び切断を切り換える第3の切換部と、上記2つのデータに基づいて、上記2つの電流源のうちの他方の電流源と上記2つの入力部との接続及び切断を切り換える第4の切換部とを備えたことが好ましい。

【0021】第3及び第4の切換部を備えることにより、2つの遅延素子それぞれから出力された2つのデータに基づいて、上記2つの電流源それぞれと上記2つの入力部との接続及び切断を切り換えることができる。

【0022】また、本発明の第1及び第2のDA変換器は、上記2つの電流源が、互いに同じ大きさの電流を供給することが好ましい。

【0023】また、本発明の第1及び第2のDA変換器は、上記アナログデータ生成手段が、上記2つの入力部のうちの一方の入力部に入力された電流を、反対符号の電流に変換する符号変換手段、及び、上記2つの入力部のうちの他方の入力部に入力された電流と、上記符号変換手段により符号が変換された電流との和を電圧に変換する電流電圧変換手段を備えたことが好ましい。

【0024】符号変換手段及び電流電圧変換手段を備えることにより、2つの入力部それぞれを流れる電流の向きが反対であっても、これら電流の向きを一致させて電圧に変換することができる。

【0025】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【0026】図1は、本発明の第1のDA変換器の一実施形態のDA変換器を示す図である。

【0027】このDA変換器はデジタル入力端子8を備えている。このデジタル入力端子8は、反転アンプ7を経由して、直列に接続された106個の遅延素子T1～T106に接続されている。遅延素子T1には、デジタル入力端子8から反転アンプ7を経由して‘0’及び‘1’のいずれかの値で表される1ビットのデータがシリアルに順次入力され、遅延素子T1に入力されたデータは、最終段の遅延素子T106に向けて順次伝送される。このとき、106個の遅延素子T1～T106は、

遅延素子T1にシリアルに入力されたデータを、パラルの時系列データD1～D106として出力し、各遅延素子T1～T106から出力されたデータD1～D106は、後述するスイッチSP1, SN1;…;SP53, SN53に向けて伝送される。また、このDA変換器は、2つの遅延素子からなる遅延素子のペアPT1～PT53に対応して、2つの電流源からなる電流源のペアCS1～CS53を53組備えている。ここでは、遅延素子のペアPTnは、2つの遅延素子Tn及びT(107-n)から構成されている(ただし、 $1 \leq n \leq 53$ , nは整数)。また、電流源のペアCS1～CS53は、それぞれ、2つの電流源p1, n1;…;p53, n53から構成されている。各電流源p1, n1;…;p53, n53が生成する電流は、図7のグラフに示された各電流源p1, n1;…;p53, n53が生成する電流と等しい。

【0028】また、このDA変換器は、電流源のペアCS1～CS53に対応して、2本の接続線A1, B1;…;A53, B53が備えられており、各電流源p1, n1;…;p53, n53それぞれは、スイッチSP1, SN1;…;SP53, SN53それぞれにより、2本の接続線A1, B1;…;A53, B53それぞれに切換自在に接続される。

【0029】また、このDA変換器は、図6に示すI/V変換器3と同一構造のI/V変換器3を備えており、さらに、このI/V変換器3とは別に、もう1つのI/V変換器12を備えている。このI/V変換器12はアンプ10と抵抗11とを備えており、この抵抗11の両端は、アンプ10の入力端子10a及び出力端子10cに接続されている。I/V変換器3の入力端子1aと、I/V変換器12の出力端子10cとは、抵抗13を経由して互いに接続されている。また、I/V変換器3の入力端子1bと、I/V変換器12の入力端子10bは、互いに接続されている。さらに、I/V変換器3の入力端子1aは、電流路5を経由して、電流源のペアCS1～CS53それぞれに対応して備えられた2本の接続線A1, B1;…;A53, B53のうちの1本の接続線A1～A53に接続されている。また、I/V変換器12の入力端子10aは、電流路6を経由して、2本の接続線A1, B1;…;A53, B53のうちのもう一方の接続線B1～B53に接続されている。

【0030】また、このDA変換器には、上記のように、電流源のペアCS1～CS53それぞれに対応して、2つのスイッチSP1, SN1;…;SP53, SN53が備えられている。これら2つのスイッチSP1, SN1;…;SP53, SN53は、遅延素子のペアPT1～PT53を構成する2つの遅延素子T1, T106;…;T53, T54それぞれが出力するデータに応じて、対応する電流源のペアCS1～CS53を構成する2つの電流源が、2本の接続線A1, B1;…;

A53, B53のうちのどちらの接続線に接続されるかを切り換えている。以下、電流源のペアCS1~CS53の接続が、2つのスイッチSP1, SN1;...; SP53, SN53により切り換えられる様子について具体的に説明する。

【0031】尚、電流源のペアCS1~CS53の接続が、2つのスイッチSP1, SN1;...; SP53, SN53により切り換えられる様子は、電流源のペアCS1~CS53のうちのどの電流源のペアでも同様に説明できるため、ここでは、代表して、電流源のペアCS1

を取り上げ、この電流源のペアCS1の接続が2つのスイッチSP1, SN1により切り換えられる様子について説明する。

【0032】遅延素子のペアPT1を構成する2つの遅延素子T1及びT106それぞれから出力されたデータがいずれも‘0’の場合、スイッチSP1は、接続線B1の端子g1に接続され、もう一方のスイッチSN1は接続線A1の端子f1に接続される（本発明にいう第1のモードに相当する）。これにより、電流源のペアCS1を構成する一方の電流源p1はI/V変換回路12の入力端子10aに接続され、もう一方の電流源n1はI/V変換回路3の入力端子1aに接続される。これに対し、2つの遅延素子T1, T106それぞれから出力されたデータがいずれも‘1’の場合、スイッチSP1は接続線A1の端子e1に接続され、もう一方のスイッチSN1が接続線B1の端子h1に接続されるように、各スイッチSP1及びSN1の接続が切り換わる（本発明にいう第1のモードに相当する）。これにより、今度は逆に、電流源p1がI/V変換回路3の入力端子1aに接続され、もう一方の電流源n1がI/V変換回路12の入力端子10aに接続される。さらに、2つの遅延素子T1, T106それぞれから出力されたデータの一方が‘0’、他方が‘1’の場合、各スイッチSP1及びSN1は、互いに同じ接続線に接続される（本発明にいう第2のモードに相当する）。具体的には、遅延素子T1から出力されたデータが‘0’、遅延素子T106から出力されたデータが‘1’の場合、各スイッチSP1及びSN1は接続線A1に接続され、一方、遅延素子T1から出力されたデータが‘1’、遅延素子T106から出力されたデータが‘0’の場合、各スイッチSP1及びSN1は、接続線B1に接続される。その他の2つのスイッチSP2, SN2;...; SP53, SN53についても、対応する2つの遅延素子それぞれから出力されたデータに応じて、スイッチSP1及びSN1と同様に動作する。

【0033】上記のように構成された図1に示すDA変換器にデジタルデータを入力することにより得られるアナログデータと、図6に示す従来のDA変換器にデジタルデータを入力することにより得られるアナログデータは、入力されるデジタルデータが同じであれば、互いに

同じアナログデータを出力する。以下に、図1及び図6に示すDA変換器が互いに同じアナログデータを出力する様子について説明する。

【0034】図1に示すDA変換器において、遅延素子T1に‘0’又は‘1’の1ビットのデータがシリアルに順次入力されると、各遅延素子T1~T106それぞれは、次段の遅延素子にデータを出力する。このとき、106個の遅延素子T1~T106は、次段の遅延素子にデータを出力するだけでなく、パラレルの時系列データD1~D106を出力する。このとき、電流源のペアに対応して備えられた2つのスイッチSP1, SN1; SP2, SN2;...; SP52, SN52; SP53, SN53は、遅延素子のペアを構成する2つの遅延素子T1, T106; T2, T105;...; T52, T55; T53, T54それぞれから出力されたデータに応じて、各電流源をI/V変換回路3及び12のいずれかのI/V変換回路に接続する。ここで、遅延素子のペアPT1~PT53のうち、遅延素子のペアPT1に着目する。この遅延素子のペアPT1を構成する2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’及び‘0’の場合、電流源p1は接続線B1の端子g1に接続され、もう一方の電流源n1は接続線A1の端子f1に接続される。従って、電流源n1はI/V変換回路3の入力端子1aに接続され、電流源p1はI/V変換回路12の入力端子10aに接続される。これにより、電流源n1からは、電流路5を経由して、抵抗13とI/V変換回路3の入力端子1aとの接続点Cに向けて負の電流 $-I(1)$ が流れる。一方、電流源p1からは、I/V変換回路12の入力端子10aに向けて正の電流 $I(1)$ が流れ、この正の電流 $I(1)$ はI/V変換回路12により電圧に変換される。このI/V変換回路12は反転回路であるため、I/V変換回路12の出力端子10cには負の電圧が生じる。この出力端子10cに生じた負の電圧は抵抗13により電流に変換され、抵抗13とI/V変換回路3の入力端子1aとの接続点Cに伝送される。結局、電流源p1がI/V変換回路12に接続されることにより、電流源p1から接続点Cに向かって、正の電流 $I(1)$ の符号が反転された負の電流 $-I(1)$ が流れることになる。従って、電流源p1及びn1がI/V変換回路12及び3に接続されると、各電流源p1及びn1それぞれから接続点Cに向かって負の電流 $-I(1)$ が流れることになり、この接続点Cにおいて、電流源p1による負の電流 $-I(1)$ と、電流源n1による負の電流 $-I(1)$ とが加えられる。このため、I/V変換回路3の入力端子1aには、 $-I(1) - I(1) = -2I(1)$ の電流が流れ込み、アナログ出力端子9には、 $-2I(1)$ に対応した電圧が生じることになる。

【0035】次に、この2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘1’及び

‘1’の場合、電流源p1は接続線A1の端子e1に接続され、もう一方の電流源n1は接続線B1の端子h1に接続される。従って、今度は逆に、電流源p1はI/V変換回路3の入力端子1aに接続され、電流源n1はI/V変換回路12の入力端子10aに接続される。これにより、電流源p1からは、接続点Cに向けて正の電流I(1)が流れる。一方、電流源n1からは、I/V変換回路12の入力端子10aに向けて負の電流-I

(1)が流れ、この負の電流-I(1)がI/V変換回路12により電圧に変換される。このI/V変換回路12は反転回路であるため、I/V変換回路12の出力端子10cには正の電圧が生じる。この出力端子10cに生じた正の電圧は抵抗13により電流に変換され接続点Cに伝送される。結局、電流源n1がI/V変換回路12に接続されることにより、接続点Cに向かって正の電流I(1)が流れることになる。従って、電流源p1及びn1がI/V変換回路3及び12に接続されると、各電流源p1及びn1それぞれから接続点Cに向かって正の電流I(1)が流れることになり、接続点Cにおいて、電流源p1による正の電流I(1)と、電流源n1による正の電流I(1)とが加えられる。このため、I/V変換回路3の入力端子1aには、 $I(1) + I(1) = 2I(1)$ の電流が流れ込み、アナログ出力端子9には、 $2I(1)$ に対応した電圧が生じる。

【0036】さらに、2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’及び‘1’（又は‘1’及び‘0’）の場合、各電流源p1及びn1は同じ接続線に接続される。従って、この場合、電流源p1による電流I(1)と、電流源n1による電流I(1)とが互いに打ち消し合い、結局、アナログ出力端子9には、電流ゼロに対応した電圧が生じることになる。

【0037】以上のことをまとめると、データの組み合わせが‘0’及び‘0’の場合、電流源p1及びn1によりアナログ出力端子9には、 $-2I(1)$ に対応した電圧が生じ、データの組み合わせが‘1’及び‘1’の場合、電流源p1及びn1によりアナログ出力端子9には、 $2I(1)$ に対応した電圧が生じる。また、2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’及び‘1’（若しくは‘1’及び‘0’）の場合、電流源p1及びn1によりアナログ出力端子9には、電流ゼロに対応した電圧が生じる。

【0038】次に、図6に示す従来のDA変換器についても、図1に示すDA変換器と同様に、2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’及び‘0’、‘1’及び‘1’、‘0’及び‘1’（若しくは‘1’及び‘0’）の場合について順に考える。

【0039】図6に示す2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’及び

‘0’の場合、電流源p1及びn1は、それぞれ接続線B1の端子g1及び接続線A1の端子f1に接続され、電流源p106及びn106は、それぞれ接続線B106の端子g106及び接続線A106の端子f106に接続される。従って、この場合、電流源p1、n1、p106、及びn106のうち、電流源p1及びp106は、ダンブバッファ4に接続される。このダンブバッファ4は、先に説明したように、デジタルデータをアナログデータに変換する作用には寄与しない。従って、デジタルデータをアナログデータに変換する作用に寄与するI/V変換回路3に接続されるのは、結局、4つの電流源p1、n1、p106、及びn106のうち、2つの電流源n1及びn106である。I/V変換回路3にこれら2つの電流源n1及びn106が接続されると、これら2つの電流源n1及びn106それぞれから、I/V変換回路3に向けて、負の電流-I(1)及び-I(106)が流れる。従って、I/V変換回路3の入力端子1aには、 $-I(1) - I(106)$ の電流が流れ込み、アナログ出力端子9には、 $-I(1) - I(106)$ の電流に対応した電圧が生じる。図7を参照しながら説明したように、電流I(1)と電流I(106)の大きさは等しいため、

$$[0040] \quad I(1) = I(106) \dots\dots (1)$$

とおくと、 $-I(1) - I(106) = -I(1) - I(1) = -2I(1)$ となり、アナログ出力端子9には、 $-2I(1)$ の電流に対応した電圧が生じる。つまり、2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’及び‘0’の場合、図6に示すDA変換器は、図1に示すDA変換器と同様に、 $-2I(1)$ の電流に対応した電圧がアナログ出力端子9に生じることになる。

【0041】次に、図6に示すDA変換器において、この2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘1’及び‘1’の場合、電流源p1及びn1は、それぞれ接続線A1の端子e1及び接続線B1の端子h1に接続され、電流源p106及びn106は、それぞれ接続線A106の端子e106及び接続線B106の端子h106に接続される。従って、この場合、I/V変換回路3に接続されるのは、結局、4つの電流源p1、n1、p106、及びn106のうち、2つの電流源p1及びp106である。I/V変換回路3にこれら2つの電流源p1及びp106が接続されると、これら2つの電流源p1及びp106それぞれから、I/V変換回路3に向けて、正の電流I(1)及びI(106)が流れる。従って、I/V変換回路3の入力端子1aには、 $I(1) + I(106)$ の電流が流れ込み、アナログ出力端子9には、 $I(1) + I(106)$ の電流に対応した電圧が生じる。図7を参照しながら説明したように、電流I(1)と電流I(106)の大きさは等しいため、(1)式より、 $I(1) + I(1$

06) = I(1) + I(1) = 2I(1) となり、アナログ出力端子9には、2I(1) に対応した電圧が生じる。つまり、2つの遅延素子T1及びT106から出力されたデータの組み合わせが '1' 及び '1' の場合、図6に示すDA変換器は、図1に示すDA変換器と同様に、2I(1) の電流に対応した電圧がアナログ出力端子9に生じる。

【0042】次に、図6に示すDA変換器において、遅延素子T1から出力されたデータが '0'、遅延素子T106から出力されたデータが '1' の場合、電流源p1及びn1は、それぞれ接続線B1の端子g1及び接続線A1の端子f1に接続され、電流源p106及びn106は、それぞれ接続線A106の端子e106及び接続線B106の端子h106に接続される。従って、この場合、I/V変換回路3に接続されるのは、4つの電流源p1、n1、p106、及びn106のうち、2つの電流源n1及びp106である。I/V変換回路3にこれら2つの電流源n1及びp106が接続されると、これら2つの電流源n1及びp106それぞれから、I/V変換回路3に向けて、電流-I(1) 及びI(106) が流れる。従って、I/V変換回路3の入力端子1aには、-I(1) + I(106) の電流が流れ込む。ところで、図7を参照しながら説明したように、電流I(1) と電流I(106) の大きさは等しい。従って、(1) 式より、-I(1) + I(106) = -I(1) + I(1) = 0 となり、2つの電流源n1及びp106による電流は互いに打ち消し合う。従って、アナログ出力端子9には、電流ゼロに対応する電圧が生じることになる。また、遅延素子T1から出力されたデータが '1'、遅延素子T106から出力されたデータが及び '0' の場合も、同様に考えることができ、やはり、アナログ出力端子9には、電流ゼロに対応する電圧が生じることになる。つまり、2つの遅延素子T1及びT106から出力されたデータの組み合わせが '0' 及び '1' (又は '1' 及び '0') の場合、図6に示すDA変換器は、図1に示すDA変換器と同様に、電流ゼロに対応した電圧がアナログ出力端子9に生じることになる。

【0043】以上のことをまとめると、図1及び図6に示すいずれのDA変換器においても、2つの遅延素子T1及びT106から出力されたデータの組み合わせが '0' 及び '0' の場合、アナログ出力端子9には、-2I(1) に対応した電圧が生じ、データの組み合わせが '1' 及び '1' の場合、アナログ出力端子9には、2I(1) に対応した電圧が生じる。また、2つの遅延素子T1及びT106から出力されたデータの組み合わせが '0' 及び '1' (又は '1' 及び '0') の場合、アナログ出力端子9には、電流ゼロに対応した電圧が生じることになる。

【0044】すなわち、アナログ出力端子9に生じる電

圧のうち、2つの遅延素子T1及びT106から出力されたデータD1及びD106により生じる電圧分は、図1及び図6に示すDA変換器において、互いに等しくなる。以下、同様に考えて、アナログ出力端子9に生じる電圧のうち、2つの遅延素子T2、T105、～、T53、T54から出力されたデータにより生じる電圧分は、図1及び図6に示すDA変換器において、互いに等しくなる。従って、図1及び図6に示すDA変換器は、互いに同じアナログデータを出力することになる。

【0045】ここで、2つの電流源p1及びn1に着目する。図1に示すDA変換器では、遅延素子T1及びT106それぞれから出力されるデータの組み合わせが '0' 及び '0'、又は '1' 及び '1' の場合、上述したように、2つの電流源p1及びn1のうち、一方の電流源は電流路5に接続され、もう一方の電流源は電流路6に接続されるが、この電流路6を流れる電流は、I/V変換回路12及び抵抗13で符号が反転された電流に変換され、接続点Cで電流路5を流れる電流に加えられる。従って、I/V変換回路3の入力端子1aには、電流源p1による電流と、電流源n1による電流との双方の電流が流れることになる。これに対し、図6に示す従来のDA変換器では、先に説明したように、I/V変換回路3には、電流源p1による電流と電流源n1による電流とのうち、いずれか一方の電流のみしか流れない。このため、図1に示す本実施形態のDA変換器において、2つの電流源p1及びn1によりI/V変換回路3の入力端子1aに流れる電流は、図6に示す従来のDA変換器の2倍となる。ここで、図6のDA変換器について考えると、遅延素子T106に対応して備えられた電流源のペアCS106は、遅延素子T106から出力されたデータD106に対して、電流源のペアCS1と等しい重み付けを行うため(図7参照)、電流源のペアCS106は、I/V変換回路3の入力端子1aに、電流源のペアCS1と等しい電流を流す。つまり、図1のDA変換器における電流源のペアCS1は、図6のDA変換器において互いに等しい重み付けを行う電流源のペアCS1及びCS106を合わせた分の電流をI/V変換回路3の入力端子1aに流していることになる。以下、同様に考えて、図1のDA変換器における電流源のペアCSn ( $1 \leq n \leq 53$  nは整数) は、図6のDA変換器において互いに等しい重み付けを行う電流源のペアCSn及びCS(107-n) ( $1 \leq n \leq 53$  nは整数) を合わせた分の電流をI/V変換回路3に流していることがわかる。

【0046】このように、図1に示すDA変換器では、図6に示す従来のDA変換器の電流源のペアCSn及びCS(107-n) が互いに等しい重み付けを行っていることに着目し、この図1に示すDA変換器は、2つの遅延素子それぞれから出力されるデータの組み合わせに応じて、電流源のペアを構成する2つの電流源それぞれ



の電流が接続点Cで加算されるように構成されている。図1に示すDA変換器をこのような構成にすることにより、この図1に示すDA変換器は、図6に示す従来のDA変換器の性能をそのまま踏襲しながら、必要な電流源の数が従来のDA変換器よりも削減されている。具体的には、図6に示すDA変換器では、電流源のペア1組は1個の遅延素子に対応して備えられるため、必要となる電流源はトータル212個となる。これに対し、図1に示すDA変換器では、電流源のペア1組は遅延素子のペア1組(2個の遅延素子)に対応して備えられるため、必要となる電流源は、トータル106個で済む。従って、図1に示すDA変換器は、図6に示すDA変換器と同じ性能を備えながら、電流源は半分で済み、コストの削減が図られている。また、電流源が半分で済むことから、DA変換器を搭載するために必要なチップ面積が大幅に縮小でき、DA変換器の小型化も図られる。

【0047】尚、図1において、2つのスイッチSP1, SN1; ~; SP53, SN53のうち、一方のスイッチSP1~SP53が本発明にいう第1の切換部に相当し、もう一方のスイッチSN1~SN53が本発明にいう第2の切換部に相当する。また、I/V変換回路12及び抵抗13を合わせたものが、本発明にいう符号変換手段に相当し、I/V変換回路3が本発明にいう電流電圧変換手段に相当する。

【0048】図2は、本発明の第2のDA変換器の第1実施形態のDA変換器を示す図である。

【0049】尚、この図2に示すDA変換器の説明にあたっては、図1に示すDA変換器と同一の構成要素には同一符号を付して示し、図1に示すDA変換器との相違点のみについて説明する。

【0050】図1及び図2に示すDA変換器には、2つの相違点が存在している。

【0051】1つ目の相違点は、図1に示すDA変換器では、電流源のペアCS1~CS53に対応して、電流路5, 6それぞれに接続された2本の接続線A1, B1; ~; A53, B53が備えられており、2つのスイッチSP1, SN1; ~; SP53, SN53は、2本の接続線A1, B1; ~; A53, B53それぞれと電流源との接続を切り換えているが、一方、図2に示すDA変換器では、電流路5, 6それぞれに接続された2本の接続線A1, B1; ~; A53, B53の他に、電流路5, 6から切り離された状態の接続線C1~C53を備えており、2つのスイッチSP1, SN1; ~; SP53, SN53は、3本の接続線A1, C1, B1; ~; A53, C53, B53それぞれと、対応する電流源との接続を切り換えている点である。

【0052】2つ目の相違点は、図1に示すDA変換器では、2つのスイッチSP1, SN1; ~; SP53, SN53それぞれは、1つの遅延素子から出力された1つのデータに応じて、対応する電流源のペアの接続を切

り換えていたが、図2に示すDA変換器では、2つのスイッチSP1, SN1; ~; SP53, SN53は、2つの遅延素子T1, T106; ~; T53, T54それぞれから出力された2つのデータに応じて、対応する電流源のペアの接続を切り換えている点である。以下、図2に示すDA変換器において、電流源のペアCS1~CS53の接続が、2つのスイッチSP1, SN1; ~; SP53, SN53により切り換えられる様子について具体的に説明する。

【0053】尚、電流源のペアCS1~CS53の接続が、2つのスイッチSP1, SN1; ~; SP53, SN53により切り換えられる様子は、電流源のペアCS1~CS53のうちのどの電流源のペアでも同様に説明できるため、ここでは、代表して、電流源のペアCS1を取り上げ、この電流源のペアCS1の接続が2つのスイッチSP1, SN1により切り換えられる様子について説明する。

【0054】遅延素子のペアPT1を構成する2つの遅延素子T1及びT106それぞれから出力されたデータがいずれも‘0’の場合(つまり、2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’‘0’の場合)、スイッチSP1は、接続線B1の端子g1に接続され、もう一方のスイッチSN1は接続線A1の端子f1に接続される(本発明にいう第3のモードに相当する)。これにより、電流源のペアCS1を構成する一方の電流源p1はI/V変換回路12の入力端子10aに接続され、もう一方の電流源n1はI/V変換回路3の入力端子1aに接続される。これに対し、2つの遅延素子T1, T106それぞれから出力されたデータがいずれも‘1’の場合(つまり、2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘1’‘1’の場合)、スイッチSP1は接続線A1の端子e1に接続され、もう一方のスイッチSN1が接続線B1の端子h1に接続されるように、各スイッチSP1及びSN1の接続が切り換わる(本発明にいう第3のモードに相当する)。これにより、今度は逆に、電流源p1がI/V変換回路3の入力端子1aに接続され、もう一方の電流源n1がI/V変換回路12の入力端子10aに接続される。さらに、2つの遅延素子T1, T106それぞれから出力されたデータの一方が‘0’、他方が‘1’の場合、スイッチSP1は接続線C1の端子j1に接続され、もう一方のスイッチSN1が接続線C1の端子k1に接続されるように、各スイッチSP1及びSN1の接続が切り換わる(本発明にいう第4のモードに相当する)。その他の2つのスイッチSP2, SN2; ~; SP53, SN53についても、対応する2つの遅延素子それぞれから出力されたデータに応じて、スイッチSP1及びSN1と同様に動作する。

【0055】上記のように構成された図2に示すDA変換器にデジタルデータを入力することにより得られるア



ナログデータと、図6に示す従来のDA変換器にデジタルデータを入力することにより得られるアナログデータは、入力されるデジタルデータが同じであれば、互いに同じアナログデータを出力する。以下に、図2、図6に示すDA変換器が互いに同じアナログデータを出力する様子について説明する。

【0056】図2に示すDA変換器において、遅延素子T1に‘0’又は‘1’の1ビットのデータがシリアルに順次入力されると、各遅延素子T1～T106それぞれは、次段の遅延素子にデータを出力する。このとき、106個の遅延素子T1～T106は、次段の遅延素子にデータを出力するだけでなく、パラレルの時系列データD1～D106を出力する。このとき、電流源のペアに対応して備えられた2つのスイッチSP1, SN1; SP2, SN2; …; SP52, SN52; SP53, SN53は、遅延素子のペアを構成する2つの遅延素子T1, T106; T2, T105; …; T52, T55; T53, T54それぞれから出力されたデータに応じて、各電流源をI/V変換回路3及び12のいずれかのI/V変換回路に接続するか、若しくは、I/V変換回路3及び12から切り離す。ここで、遅延素子のペアPT1～PT53のうち、遅延素子のペアPT1に着目する。この遅延素子のペアPT1を構成する2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’及び‘0’の場合、電流源p1は接続線B1の端子g1に接続され、もう一方の電流源n1は接続線A1の端子f1に接続される。従って、電流源n1はI/V変換回路3の入力端子1aに接続され、電流源p1はI/V変換回路12の入力端子10aに接続される。先に説明したように、図1に示すDA変換器において、2つの遅延素子T1及びT106から出力されたデータが‘0’及び‘0’の場合、電流源n1はI/V変換回路3の入力端子1aに接続され、電流源p1はI/V変換回路12の入力端子10aに接続される。従って、図2に示すDA変換器は、2つの遅延素子T1及びT106から出力されたデータが‘0’及び‘0’の場合、図1に示すDA変換器と同様に、 $-2I(1)$ の電流に対応した電圧がアナログ出力端子9に生じることになる。

【0057】次に、図2に示すDA変換器において、2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘1’及び‘1’の場合、電流源p1は接続線A1の端子e1に接続され、もう一方の電流源n1は接続線B1の端子h1に接続される。従って、今度は逆に、電流源p1はI/V変換回路3の入力端子1aに接続され、電流源n1はI/V変換回路12の入力端子10aに接続される。先に説明したように、図1に示すDA変換器においても、2つの遅延素子T1及びT106から出力されたデータが‘1’及び‘1’の場合、電流源p1はI/V変換回路3の入力端子1aに接続さ

れ、電流源n1はI/V変換回路12の入力端子10aに接続される。従って、図2に示すDA変換器は、2つの遅延素子T1及びT106から出力されたデータが‘1’及び‘1’の場合、図1に示すDA変換器と同様に、 $2I(1)$ の電流に対応した電圧がアナログ出力端子9に生じることになる。

【0058】さらに、図2に示すDA変換器において、2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’及び‘1’（又は‘1’及び‘0’）の場合、電流源p1は接続線C1の端子j1に接続され、電流源n1は接続線C1の端子k1に接続される。つまり、電流源p1及びn1は、電流路5, 6から切り離された接続線C1に接続されることになる。従って、この場合、アナログ出力端子9には、各電流源p1及びn1に対応する電圧は生じないことになる。

【0059】以上のことをまとめると、2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’及び‘0’の場合、アナログ出力端子9には、 $-2I(1)$ に対応した電圧が生じ、データの組み合わせが‘1’及び‘1’の場合、アナログ出力端子9には、 $2I(1)$ に対応した電圧が生じる。また、2つの遅延素子T1及びT106から出力されたデータの組み合わせが‘0’及び‘1’（若しくは‘1’及び‘0’）の場合、アナログ出力端子9には、電流ゼロに対応した電圧が生じることになる。

【0060】すなわち、アナログ出力端子9に生じる電圧のうち、2つの遅延素子T1及びT106から出力されたデータにより生じる電圧分は、図1及び図2に示すDA変換器において、互いに等しくなる。以下、同様に考えて、アナログ出力端子9に生じる電圧のうち、2つの遅延素子T2, T105; …; T53, T54から出力されたデータにより生じる電圧分は、図1及び図2に示すDA変換器において、互いに等しくなる。先に説明したように、図1に示すDA変換器と、図6に示す従来のDA変換器とでは、アナログ出力端子9に生じる電圧は等しいため、結局、図2及び図6に示すDA変換器についても、互いに同じ性能を備えていることになる。

【0061】この図2に示すDA変換器は、図1に示すDA変換器と同様に、図6に示す従来のDA変換器の電流源のペアCSn及びCS(107-n)が互いに等しい重み付けを行っていることに着目し、この図2に示すDA変換器は、2つの遅延素子それぞれから出力されるデータの組み合わせに応じて電流源のペアを構成する2つの電流源それぞれの電流が接続点Cで加算される構成にしている。このような構成にすることによっても、図6に示す従来のDA変換器の性能をそのまま踏襲しながら、必要な電流源の数を従来のDA変換器よりも削減することができる。図2に示すDA変換器では、図1に示すDA変換器と同様に、必要となる電流源はトータル106個で済む。従って、図2に示すDA変換器は、図6

に示す従来のDA変換器と同じ性能を備えながら、電流源は半分で済み、コストの削減が図られる。また、電流源が半分で済むことから、DA変換器を搭載するために必要なチップ面積が大幅に縮小でき、DA変換器の小型化も図られる。

【0062】尚、図1、図2に示すDA変換器では、電流源のペアCS1～CS53は、いずれも、2つの遅延素子（遅延素子のペア）に対応して備えられているが、電流源のペアCS1～CS53全てを2つの遅延素子（遅延素子のペア）に対応して備える必要はない。例えば、電流源のペアCS1～CS53のいずれかの電流源のペアについては、2つの遅延素子（遅延素子のペア）に対応して備えたとともに、残りの電流源のペアについては、1つの遅延素子に対応して備えてもよい。このように、2つの遅延素子（遅延素子のペア）に対応して備えられる電流源のペアと、1つの遅延素子に対応して備えられる電流源のペアとが共存した状態であっても、いずれかの電流源のペアが2つの遅延素子（遅延素子のペア）に対応して備えられているため、従来と比較して使用する電流源を削減することができ、やはり、コストの削減及び小型化が図られる。

【0063】また、図2において、2つのスイッチSP1, SN1; ～; SP53, SN53のうち、一方のスイッチSP1～SP53が本発明にいう第3の切換部に相当し、もう一方のスイッチSN1～SN53が本発明にいう第4の切換部に相当する。

【0064】ところで、図1及び図2には、遅延素子を偶数個（106個）備えた従来型のDA変換器（図6参照）と同一の性能を保持しながらコストの削減が図られたDA変換器の例を示したが、本発明では、遅延素子は奇数個であってもよい。以下に、遅延素子を奇数個備えた従来型のDA変換器と同一の性能を保持しながら、この遅延素子を奇数個備えた従来型のDA変換器よりもコストの削減が図られたDA変換器について説明する。この説明にあたっては、遅延素子を107個備えた従来型のDA変換器について図6を参考にしながら簡単に説明し、次いで、この遅延素子を107個備えた従来型のDA変換器と同一の性能を有する本発明のDA変換器の一例について説明する。

【0065】図6に示すような従来型のDA変換器が106個の遅延素子T1～T106に加えてもう1個の遅延素子T107を備えた場合、この遅延素子T107から出力されるデータD107を重み付けするために、この遅延素子T107に対応して、2つの電流源p107, n107からなる電流源のペアCS107を備える必要がある。つまり、107組の電流源のペアCS1～CS107を備える必要がある。

【0066】図3は、この107組の電流源のペアCS1～CS107それぞれが生成する電流の一例を示す図である。

【0067】このグラフの横軸は、電流源のペアCS1～CS107を表し、縦軸は、各電流源が生成する電流である。

【0068】各電流源のペアCS1, …, CS107を構成する2つの電流源p1, n1; …; p107, n107は、互いに等しい電流I(1), …, I(107)を生成する。また、電流源のペアCS1～CS107が生成する電流I(1), …, I(107)は、図3に示すように、電流源のペアCS54の電流I(54)が最も大きい。

【0069】尚、これら電流I(1), …, I(107)は、 $I(n) = I(108 - n)$ の関係を満たしている（ただし、 $1 \leq n \leq 53$  nは整数）。例えば、 $n = 1$ の場合を考えると、 $I(1) = I(107)$ である。従って、図3に示されている各電流I(1), …, I(107)の大きさは、電流源のペアCS54が生成する電流I(54)を中心として左右対称になっている。

【0070】次に、図3のグラフで表される電流を生成する電流源を備えた従来型のDA変換器と同一の性能を有する本発明のDA変換器の一例を図4に示す。

【0071】図4は、本発明の第2のDA変換器の第2実施形態のDA変換器を示す図である。

【0072】尚、この図4に示すDA変換器の説明にあたっては、図2に示すDA変換器との相違点のみにについて簡単に説明する。

【0073】図2に示すDA変換器は、106個の遅延素子T1～T106と、53組の電流源のペアCS1～CS53とを備えていたが、図4に示すDA変換器は、107個の遅延素子T1～T107と、54組の電流源のペアCS1～CS54とを備えている。これら54組の電流源のペアCS1～CS54のうち、53組の電流源のペアCS1～CS53は、2つの遅延素子からなる遅延素子のペアPT1～PT53に対応して備えられているが、残りの1組の電流源のペアCS54は、1個の遅延素子T54に対応して備えられている。尚、遅延素子のペアPTnは、2つの遅延素子Tn及びT(108 - n)から構成されている（ただし、 $1 \leq n \leq 53$ , nは整数）。

【0074】これら各電流源p1, n1; …; p54, n54は、図4において、各電流源の横に示された矢印の方向を正とした電流I(1)～I(54)を発生する。つまり、電流源のペアCS1～CS54それぞれを構成する2つの電流源は、互いに大きさの等しい電流を発生する。例えば、電流源のペアCS1について考えると、2つの電流源p1及びn1それぞれは共に電流I(1)を発生する。その他の電流源のペアCS2, …, CS54についても、2つの電流源p2, n2; …; p54, n54は互いに等しい電流I(2), …, I(54)を発生する。

【0075】さらに、電流源のペアCS1～CS54のうち、電流源のペアCS1～CS53に対応して備えられた2つのスイッチSP1, SN1;～;SP53, SN53それぞれは、2つの遅延素子T1, T107;～;T53, T55それぞれから出力された2つのデータD1, D107;～;D53, D55の組み合わせに応じて、各電流源p1, n1;～;p53, n53と、3つの接続線A1, C1, B1;～;A53, C53, B53との接続を切り換えている。

【0076】また、電流源のペアCS54に対応して2本の接続線A54及びB54が備えられ、さらに、スイッチSP54及びSN54が備えられている。2本の接続線A54及びB54それぞれは、電流路5及び6それぞれに接続されている。スイッチSP54は、遅延素子T54から出力されたデータD54に応じて、電流源p54と、2本の接続線A54及びB54それぞれとの接続を切り換えるものであり、スイッチSN54は、遅延素子T54から出力されたデータD54に応じて、電流源n54と、2本の接続線A54及びB54それぞれとの接続を切り換えるものである。

【0077】このように構成された図4に示すDA変換器は遅延素子を107個備えている。つまり、図4に示すDA変換器は遅延素子を奇数個備えている。このため、107個の遅延素子T1～T107を2つの遅延素子のペアに分けると、ペアを組めない遅延素子が1個現れる。図4に示すDA変換器では、遅延素子T54が他の遅延素子とペアが組まれていない状態となっている。このため、電流源のペアCS54はこの1個の遅延素子T54に対応して備えられている。図4に示す構造のDA変換器に、図3のグラフで表される電流を生成する電流源を備えた従来型のDA変換器と同一の性能をもたせるためには、図4に示す電流源のペアCS1～CS54それぞれが発生する電流値を、図5に示すように設定すればよい。

【0078】図5は、図4に示す各電流源が生成する電流値を示すグラフである。

【0079】このグラフの横軸は、各電流源p1, n1;～;p54, n54を表し、縦軸は、各電流源が生成する電流である。

【0080】図5における電流源のペアCS1～CS54が生成する電流I(1)～I(54)のうち、電流I(1)～I(53)それぞれは、図3における電流源のペアCS1～CS53が生成する電流I(1)～I(53)それぞれと同じ大きさであるが、図5における電流源のペアCS54が生成する電流I(54)は、図3に

おける電流源のペアCS54が生成する電流I(54)の半分の大きさである。

【0081】図5に示すように各電流源の電流を設定することにより、図4に示すDA変換器に、図3のグラフで表される電流を生成する電流源を備えた従来型のDA変換器と同一の性能をもたせることができる。

【0082】従来型のDA変換器では、遅延素子を107個を備えている場合、この107個の遅延素子それぞれに対応して107組の電流源のペア(つまり、214個の電流源)を備える必要がある。これに対し、図4に示すDA変換器では、電流源のペアCS54は1個の遅延素子T54に対応して備えられるが、残りの電流源のペアCS1～CS53は遅延素子のペアPT1～PT53に対応して備えられるため、必要となる電流源は、トータル108個で済む。従って、図4に示すDA変換器を用いることにより、従来型のDA変換器と同一の性能をもたせたまま、必要な電流源の数を削減することができ、やはりコストの削減及び小型化が図られる。

【0083】

20 【発明の効果】以上説明したように、本発明のDA変換器によれば、コストの削減及び小型化が図られる。

【図面の簡単な説明】

【図1】本発明の第1のDA変換器の一実施形態のDA変換器を示す図である。

【図2】本発明の第2のDA変換器の第1実施形態のDA変換器を示す図である。

【図3】107組の電流源のペアCS1～CS107それぞれが生成する電流の一例を示す図である。

30 【図4】本発明の第2のDA変換器の第2実施形態のDA変換器を示す図である。

【図5】各電流源が発生する電流を表すグラフである。

【図6】従来より用いられているDA変換器の一例である、106タップのFIRフィルタを有するDA変換器を示す図である。

【図7】各電流源が発生する電流を表すグラフである。

【符号の説明】

1, 10 アンプ

1a, 1b, 10a, 10b 入力端子

1c, 10c 出力端子

2, 11, 13 抵抗

3, 12 I/V変換回路

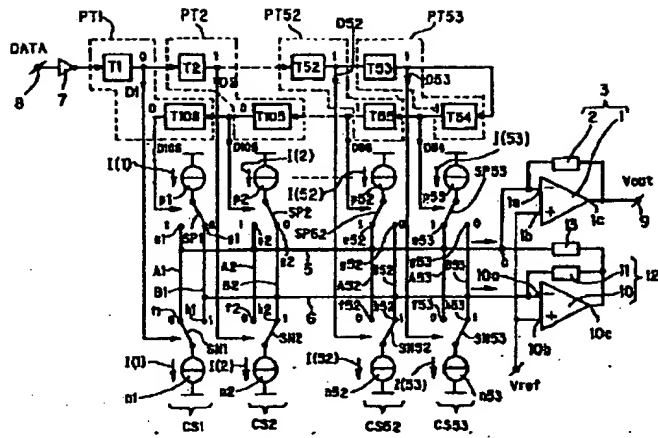
5, 6 電流路

7 反転アンプ

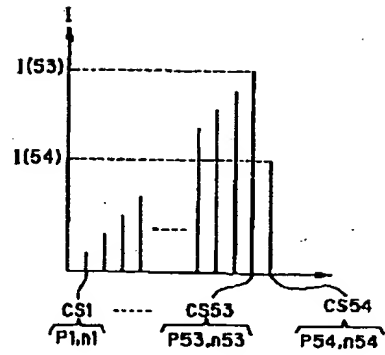
8 デジタル入力端子

9 アナログ出力端子

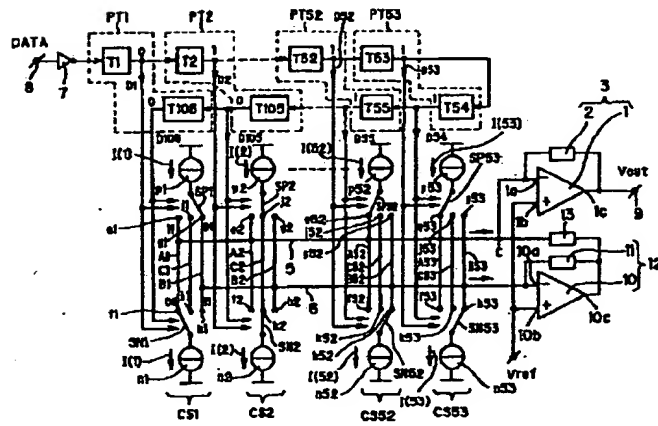
【図1】



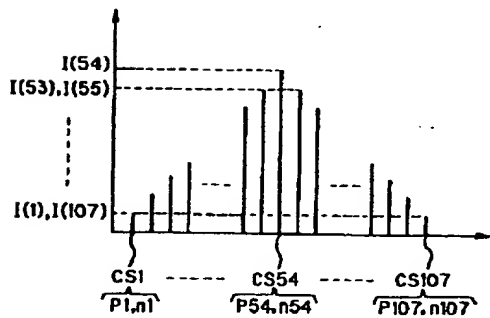
【図5】



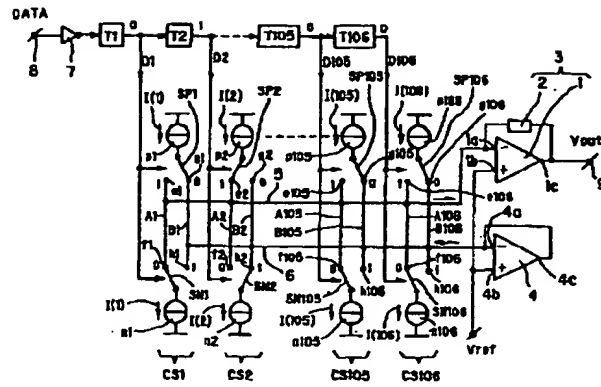
【図2】



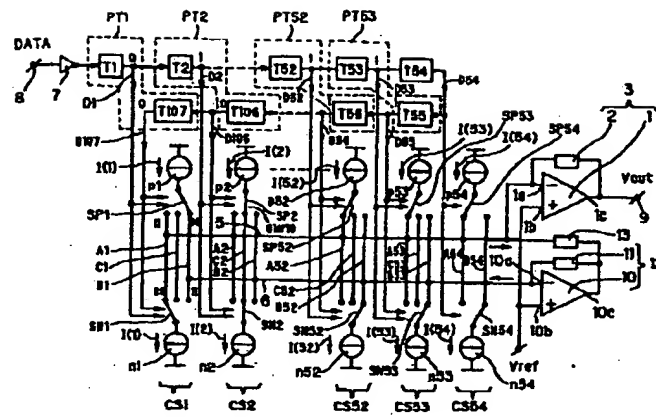
【図3】



【図6】



【図4】



【図7】

